

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316431

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108		9276-4M	H 0 1 L 27/10	6 7 1 C
21/8242		9276-4M		6 2 1 C
29/786		9276-4M		6 8 1 F
		9276-4M		6 8 1 D
		9276-4M		6 9 1
審査請求 未請求 請求項の数11 O L (全 12 頁) 最終頁に続く				

(21) 出願番号 特願平7-122153

(22) 出願日 平成7年(1995)5月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 庄司 健一

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

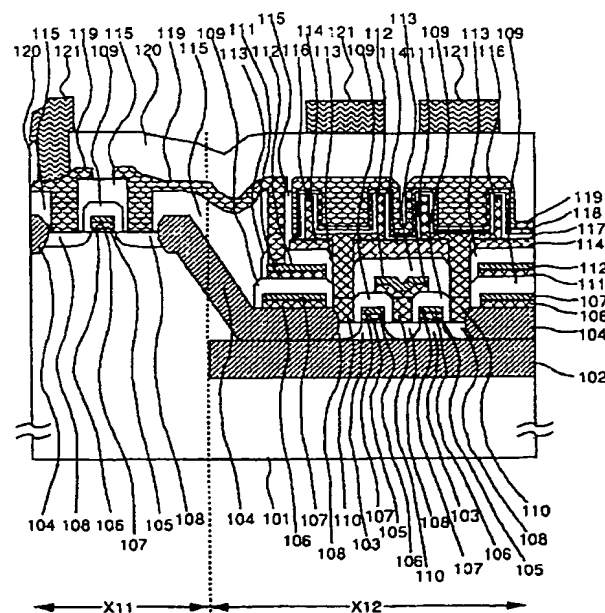
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【構成】 薄膜SOI領域内に形成した積層容量型メモリセルと薄膜SOI領域外で、且つ基板表面が薄膜SOI表面より高い位置に周辺回路を有し、且つ周辺回路部のトランジスタ下に高濃度低抵抗不純物領域を形成した周辺回路からなる半導体記憶装置。

【効果】 周辺回路との標高差を低減し、さらに低消費電力化に有利な薄膜SOI構造を有するメモリセルと、耐圧の良好なトランジスタを有し、且つラッチアップに対し強い周辺回路を有する高性能、且つ高信頼度な半導体装置を実現することが可能となる。

図1



【特許請求の範囲】

【請求項 1】半導体基板上に、絶縁膜を介して設けられた薄膜半導体の第一の半導体領域を有し、上記第一の半導体領域外の領域内に、上記絶縁膜を介さずに設けられ、その表面が上記第一の半導体領域の表面より高い第二の半導体領域を有することを特徴とする半導体装置。

【請求項 2】上記第一の半導体領域にメモリセルを有し、上記第二の半導体領域にメモリセルの制御回路を有する請求項 1 に記載の半導体装置。

【請求項 3】上記第一の半導体領域の形成されたメモリセルと、上記メモリセルとはビット線コンタクトを共有しないメモリセルとの間が、絶縁膜で電気的に分離されている請求項 2 に記載の半導体装置の製造方法。

【請求項 4】上記第二の半導体領域と半導体基板の間に酸化膜が存在する請求項 1 に記載の半導体装置。

【請求項 5】上記第二の半導体領域で表面を除く領域に高濃度不純物領域を有する請求項 4 に記載の半導体装置。

【請求項 6】上記第二の半導体領域の上記高濃度不純物領域の不純物濃度が $1.0 \times 10^{17} \text{cm}^{-3}$ 以上である請求項 5 に記載の半導体装置。

【請求項 7】上記第一の半導体領域にメモリセルを有し、上記第二の半導体領域にメモリセルの制御回路を有する請求項 4、5 または 6 に記載の半導体装置。

【請求項 8】上記第一の半導体領域の形成されたメモリセルと、上記メモリセルとはビット線コンタクトを共有しないメモリセルとの間が、絶縁膜で電気的に分離されている請求項 4、5 または 6 に記載の半導体装置の製造方法。

【請求項 9】第一の半導体基板を選択的に酸化し、上記半導体基板表面を平坦に研磨し、第二の半導体基板を第一の半導体基板表面に貼り合わせ、上記第二の半導体基板を薄膜化することにより、上記第一の半導体領域のみ半導体基板上に、絶縁膜を介して薄膜半導体を形成する請求項 1、2 または 3 に記載の半導体装置の製造方法。

【請求項 10】上記第一の半導体領域の表面に選択的に酸化膜を形成し、その後上記酸化膜を除去することにより、上記第二の半導体領域の表面を上記第一の半導体領域の表面に対し高位置に形成する請求項 1、2、3、4、5、6、7 または 8 に記載の半導体装置の製造方法。

【請求項 11】上記第一の半導体領域の表面に酸化膜を形成後パターンニングし、上記酸化膜をマスクにした Si の選択エピタキシャルにより、上記第二の半導体領域の表面を上記第一の半導体領域の表面に対し高位置に形成する請求項 1、2、3、4、5、6、7 または 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は DRAM のような高集積

半導体装置に関する。

【0002】

【従来の技術】通常、周辺回路はワード線を駆動するため電源電圧を高めに設定する必要があるが、従来の薄膜 SOI 構造 DRAM では、寄生バイポーラトランジスタ動作等により周辺回路の絶縁ゲート・トランジスタのソース・ドレイン間の耐圧が低くなり、耐圧不良が起こり、さらにラッチアップ等を起こしやすい。この耐圧低下に関しては、アイ・イー・ディー・エム (I EDM) 91, 667 ページ等に示されている。

【0003】また、半導体メモリの高集積化には、ビット単価低減によるスループット向上が必要であるため、微細パターンを形成するには、一般には光学レンズを用いた縮小投影露光法が用いられている。しかし、集積度を向上するため光学レンズの解像度を増すと光の焦点深度が浅くなり、その結果、基板面が平坦でないで解像不良が生じる。薄膜 SOI 構造 DRAM 用メモリセルには α 線ソフトエラー対策等に積層キャパシタを用いるため、従来技術ではメモリセル部と周辺回路部には平均的な段差 (標高差) が生じ、予め、半導体基板表面を平坦にする必要があった。この標高差を低減するには、通常の半導体基板で、表面の選択酸化とその酸化膜除去によりメモリセル部の表面をメモリセル部以外の表面より低位置に形成する半導体装置の製造方法が、特開平 2-50476 号公報に示されている。

【0004】

【発明が解決しようとする課題】上記従来例では、薄膜 SOI 構造・絶縁ゲート・トランジスタで、ソース・ドレイン間耐圧低下の問題が開示されている。したがって、薄膜 SOI 上に形成された周辺回路部のトランジスタでは、周辺回路の使用電圧が高いために耐圧不良が起こり、ラッチアップなどが起こりやすい。

【0005】また、他の従来例では、バルク Si 基板上でのメモリセル部と周辺回路部間の標高差低減に関する方法が開示されている。薄膜 SOI 基板上では、選択酸化の膜厚に限界があるため、この方法では、平坦化された薄膜 SOI 構造メモリセルを形成することは不可能である。

【0006】

【課題を解決するための手段】メモリセル領域内のみ薄膜 SOI 構造とすることにより、周辺回路に用いるトランジスタの耐圧を向上する。

【0007】また、予め、厚膜の SOI 基板を用いるか、あるいは、薄膜 SOI 基板上に Si を選択的にエピタキシャルする方法を用い、さらに厚膜部分に高濃度低抵抗不純物領域を形成することによって平坦化され、且つ高耐圧でラッチアップなどの起こりにくい薄膜 SOI 構造メモリを形成する。

【0008】

【作用】薄膜 SOI 構造を用いた超微細メモリセルを形

成することができるため、拡散層における接合リークが低減でき、DRAMのリフレッシュにおけるデータ保持特性を改善することが可能である。

【0009】メモリセルを薄膜SOI中に形成して基板に対するノイズ電荷の注入を根絶し、さらにメモリセル段差を軽減しつつ周辺回路の基板抵抗を下げることによって周辺回路MOSFETの信頼性を向上し、且つラッチアップに対して強いメモリLSIをつくる。

【0010】

【実施例】

(実施例1) 図1に、本発明の半導体装置の断面構造を示す。この構造は、p型Si層101の基板上に直接周辺回路を含む周辺回路部(X11領域)とp型Si層101とSiO₂層102が積層した基板上に形成した薄膜SOI構造のメモリセル部(X12領域)との二つの領域で構成される。

【0011】周辺回路部は、p型Si層101、素子分離用のSiO₂104、SiO₂のゲート絶縁層105、n型に導電化された多結晶シリコン106およびタングステンシリサイド107からなるポリサイド構造のゲート電極、p型Si層中に形成された濃度が 10^{17}cm^{-3} 以上のn型不純物領域108、ゲート電極上および側壁に積層されたSiO₂109、第一メタル配線層コンタクト・ホール用層間絶縁膜115、第一メタル配線層119、第二メタル配線層スルー・ホール用層間絶縁膜220、第二メタル配線層121より構成される。

【0012】また、メモリセル部は、p型Si層103、素子分離用のSiO₂104、SiO₂のゲート絶縁層105、n型に導電化された多結晶シリコン106およびタングステンシリサイド107からなるポリサイド構造のゲート電極(メモリセルのワード線に相当)、p型Si層中に形成されたn型不純物領域108、ワード線上および側壁に積層されたSiO₂109、ビット線および蓄積電極コンタクト用多結晶シリコンのプラグ110、n型に導電化された多結晶シリコン111およびタングステンシリサイド112からなるポリサイド構造のビット線、ビット線上および側壁に積層されたSiO₂113、蓄積電極コンタクト加工用窒化シリコン層114、n型に導電化された多結晶シリコンまたは置換プロセスによって形成したタングステンからなる蓄積電極コンタクトプラグおよび蓄積電極116、酸化窒化シリコン膜または五酸化タンタル(Ta₂O₅)からなる蓄積容量誘電体膜117、TiNまたはタングステンからなる蓄積容量プレート電極118、第一メタル配線層コンタクト・ホール用層間絶縁膜115、第一メタル配線層119、第二メタル配線層スルー・ホール用層間絶縁膜120、第二メタル配線層121より構成される。

【0013】本構造を用いることにより、周辺回路部の絶縁ゲート電界効果トランジスタは、単独にp型Si層101上に形成されるため、メモリセル内(X12領

域)のトランジスタとは独立して、p型Si層101を用いて基板バイアスを印加することができる。

【0014】さらに、周辺回路部のトランジスタ下例えば 10^{17}cm^{-3} 程度の高濃度p型不純物層を形成することによって基板抵抗を減らしラッチアップの発生を抑制することも可能である。この構造は、メモリセルが発生したノイズ電荷が周辺回路に影響することなく、より安定したLSI動作が可能となる。

【0015】また、メモリセル部で80nmのp型Si層103に厚さ160nmの素子分離用酸化膜104を形成し、さらに接合深さ80nmのn型不純物領域108を形成することによって、デバイス活性層の下が絶縁膜となるため、漏れ電流が減少する。このような薄膜SOI構造メモリセルを用いれば、DRAMのデータ保持特性がバルクに対して改善され、リフレッシュに負担のかからない低消費電力型のDRAMが実現できる。

【0016】また、図1に示すようにp型Si層103の表面で周辺回路部とメモリセル部の標高差を制御することにより、第一配線層面で周辺回路とメモリセルの両領域で標高差が低減可能である。

【0017】(実施例2) 図2に本発明の他の実施例の半導体装置の断面構造を示す。この構造は、p型Si層201とSiO₂層202が積層した基板上に直接周辺回路を含む周辺回路部(X21領域)と薄膜SOI構造のメモリセル部(X22領域)の二つの領域で形成される。

【0018】周辺回路部は、素子分離用のSiO₂204、SiO₂のゲート絶縁層205、n型に導電化された多結晶シリコン206およびタングステンシリサイド207からなるポリサイド構造のゲート電極、p型Si層中に形成された濃度が 10^{17}cm^{-3} 以上のn型不純物領域208、ゲート電極上および側壁に積層されたSiO₂209、第一メタル配線層コンタクト・ホール用層間絶縁膜215、第一メタル配線層219、第二メタル配線層スルー・ホール用層間絶縁膜220、第二メタル配線層221より構成される。

【0019】また、メモリセル部は、p型Si層203、素子分離用のSiO₂204、SiO₂のゲート絶縁層205、n型に導電化された多結晶シリコン206およびタングステンシリサイド207からなるポリサイド構造のゲート電極(メモリセルのワード線に相当)、p型Si層中に形成されたn型不純物領域208、ワード線上および側壁に積層されたSiO₂209、ビット線および蓄積電極コンタクト用多結晶シリコンのプラグ210、n型に導電化された多結晶シリコン211およびタングステンシリサイド212からなるポリサイド構造のビット線、ビット線上および側壁に積層されたSiO₂213、蓄積電極コンタクト加工用窒化シリコン層214、n型に導電化された多結晶シリコンまたは置換プロセスによって形成したタングステンからなる蓄積電

極コンタクトプラグおよび蓄積電極 216, 酸化窒化シリコン膜または五酸化タンタル (Ta_2O_5) からなる蓄積容量誘電体膜 217, TiN またはタングステンからなる蓄積容量プレート電極 218, 第一メタル配線層コンタクト・ホール用層間絶縁膜 215, 第一メタル配線層 219, 第二メタル配線層スルー・ホール用層間絶縁膜 220, 第二メタル配線層 221 より構成される。

【0020】この構造はメモリセル, 周辺回路ともに SOI 上に形成されるが, 周辺回路のトランジスタが厚い SOI に形成されるため, 基板バイアスを印加したり, 基板濃度を高めるなどして, より安定な LSI 動作が可能である。

【0021】(実施例 3) 図 3 ないし図 23 に, 本発明の半導体装置の製造方法を工程に従って示す。

【0022】まず, 図 3 に示すように, 第一の p 型 Si 基板 301 上に窒化シリコン膜 302 を堆積し, リソグラフィおよびドライエッチングによりパターンニングする。次に, 図 4 に示すように, 熱酸化膜 303 を形成する。その後, 図 5 に示すように, 窒化シリコン膜 302 および熱酸化膜 303 をウェットエッチングにより除去し, 機械的および化学的に表面を平坦に研磨する。

【0023】その後, 図 6 に示すように, 第二の p 型 Si 基板 304 の表面を上記第一の p 型 Si 基板の表面に貼り合わせる。その後, 図 7 に示すように, p 型 Si 基板 304 を厚さ 480 nm になるまで機械的および化学的に平坦に研磨することにより, 局所的に SOI 構造を持つ Si 基板が形成される。次に, 図 8 に示すように, 窒化シリコン膜 305 を表面に堆積し, リソグラフィとドライエッチングにより所定の形状にパターンニングし, さらに厚さ 800 nm の熱酸化 306 を行う。

【0024】その後, 図 9 に示すように, 窒化シリコン膜 305 と熱酸化膜 306 をウェットエッチングにより除去する。その後, 図 10 に示すように, 窒化シリコン膜 307 を表面に堆積し, リソグラフィとドライエッチングにより所定の形状にパターンニングする。その後, 図 11 に示すように, 厚さ 200 nm の熱酸化 308 を行う。

【0025】その後, 図 12 に示すように, 熱リン酸液により窒化シリコン膜 307 を除去し, p 型 Si 層面の標高差 400 nm を有する周辺回路部 ($X31$ 領域) とメモリセル部 ($X32$ 領域) を形成する。形成後, $X31$ にイオン注入により高濃度のボロン層を基板内部に形成すると, 基板抵抗が下がり安定した LSI 動作が可能となる。

【0026】その後, 図 13 に示すように, 厚さ数 nm のゲート絶縁膜 309 を形成し, n 型に導電化された多結晶シリコン 310, タングステンシリサイド 311, ポリサイド (310 および 311) 加工用マスクに SiO_2 層 312 を堆積し, リソグラフィとドライエッチングにより所定の形状にパターンニングすることにより,

周辺回路部ではゲート電極を, メモリセル部ではワード線を形成する。次に, ゲート電極およびワード線をマスクにして, 砒素をイオン注入して濃度が 10^{17}cm^{-3} 以上の n 型拡散層 313 を形成する。

【0027】その後, 図 14 に示すように, SiO_2 層を堆積しメモリセル部のみリソグラフィを用いてエッチバックすることにより, ワード線にのみ側壁が形成される。次に, 窒化シリコン膜を堆積し, 電子線描画およびドライエッチングによりワード線の隙間に自己整合的にビット線および蓄積電極用コンタクト・ホールを形成し, さらに, n 型に導電化した多結晶シリコンを堆積しエッチバックすることにより, ビット線および蓄積電極コンタクト用プラグ 315 を形成する。

【0028】その後, 図 15 に示すように, 窒化シリコン膜を堆積し, 電子線描画およびドライエッチングによりビット線コンタクト用プラグ上に自己整合的にビット線用コンタクト・ホールを形成し, 次に, n 型に導電化された多結晶シリコン 316, タングステンシリサイド 317 からなるビット線を形成し, その上部と側壁に SiO_2 層 318 を形成し, 次に, 窒化シリコン膜 319 を堆積し, 電子線描画およびドライエッチングにより, 蓄積電極コンタクト用プラグ上に自己整合的にコンタクト・ホールを形成し, さらに n 型に導電化された多結晶シリコンを堆積し, エッチバックすることにより, 第二の蓄積電極コンタクト用プラグ 320 を形成する。次にメモリセル部のみ, 窒化シリコン膜 319 を残す。

【0029】その後, 図 16 に示すように, コンタクト用層間膜 321 を堆積し, 電子線描画およびドライエッチングにより, 蓄積電極用の溝を形成する。

【0030】その後, 図 17 に示すように, n 型に導電化されたアモルファスシリコンあるいは導電化されてない純アモルファスシリコン 322 を堆積し, 次に, SiO_2 層 323 を堆積後エッチバックし蓄積電極用の溝内に上記 SiO_2 層 323 を残し, さらに, アモルファスシリコン 322 をエッチバックする。

【0031】その後, 図 18 に示すように, メモリセル部の SiO_2 層 321 および 323 をウェットエッチングすることにより, アモルファスシリコン 322 からなる蓄積電極が形成される。図 17 で, 蓄積電極に導電化されてない純アモルファスシリコン 322 を用いた場合は, この後, 置換プロセスによりアモルファスシリコン部分をタングステン化する。次に, 酸化窒化シリコン膜または五酸化タンタル (Ta_2O_5) 膜からなる蓄積容量誘電体膜 324 および TiN またはタングステンからなる蓄積容量プレート電極 325 を積層し, メモリセル領域内でパターンニングすることにより, 積層型の蓄積容量素子が形成される。

【0032】その後, 図 19 に示すように, リソグラフィとドライエッチングにより層間絶縁膜にコンタクト・ホールを形成する。

【0033】その後、図20に示すように、第一メタル配線層326を堆積しリソグラフィとドライエッチングによりパターンニングする。このとき、プレート電極325と第一配線層326は絶縁膜を介さず直接積層された構造となる。その後、図21に示すように、第一および第二メタル配線層間のスルー・ホール用層間絶縁膜327を堆積する。その後、図22に示すように、リソグラフィとドライエッチングにより層間絶縁膜327にスルー・ホールを形成する。その後、図23に示すように、第二メタル配線層328を堆積しリソグラフィとドライエッチングによりパターンニングする。

【0034】上記プロセスにより、実施例1で示した図1に対応する本発明の構造が形成される。

【0035】（実施例4）図24ないし図41に、本発明の他の製造方法の実施例を工程に従って示す。

【0036】まず、図24に示すように、p型Si層401、SiO₂層402、厚さ480nmのp型Si層403が積層したSOI基板を製造する。次に、図25に示すように、窒化シリコン膜404を表面に堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングする。さらに、図26に示すように、厚さ800nmの熱酸化405を行う。

【0037】その後、図27に示すように、窒化シリコン膜404と熱酸化膜406をウエットエッチングにより除去する。その後、図28に示すように、窒化シリコン膜406を表面に堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングする。その後、図29に示すように、厚さ200nmの熱酸化407を行う。

【0038】その後、図30に示すように、熱燐酸液により窒化シリコン膜406を除去し、p型Si層面の標高差400nmを有する周辺回路部（X41領域）とメモリセル部（X42領域）を形成する。形成後、X31にイオン注入により高濃度のボロン層を基板内部に形成すると、基板抵抗が下がり安定したLSI動作が可能となる。

【0039】その後、図31に示すように、厚さ数nmのゲート絶縁膜308を形成し、n型に導電化された多結晶シリコン409、タングステンシリサイド410、ポリサイド（409および410）加工用マスクにSiO₂層411を堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングすることにより、周辺回路部ではゲート電極を、メモリセル部ではワード線を形成する。次に、ゲート電極およびワード線をマスクにして、砒素をイオン注入して濃度が $1.0 \times 10^{17} \text{cm}^{-3}$ 以上のn型拡散層412を形成する。

【0040】その後、図32に示すように、SiO₂層を堆積しメモリセル部のみリソグラフィを用いてエッチバックすることにより、ワード線にのみ側壁が形成される。次に、窒化シリコン膜を堆積し、電子線描画および

ドライエッチングによりワード線の隙間に自己整合的にビット線および蓄積電極用コンタクト・ホールを形成し、さらに、n型に導電化した多結晶シリコンを堆積しエッチバックすることにより、ビット線および蓄積電極コンタクト用プラグ414を形成する。

【0041】その後、図33に示すように、窒化シリコン膜を堆積し、電子線描画およびドライエッチングによりビット線コンタクト用プラグ上に自己整合的にビット線用コンタクト・ホールを形成し、次に、n型に導電化された多結晶シリコン415、タングステンシリサイド416からなるビット線を形成し、その上部と側壁にSiO₂層417を形成し、次に、窒化シリコン膜418を堆積し、電子線描画およびドライエッチングにより、蓄積電極コンタクト用プラグ上に自己整合的にコンタクト・ホールを形成し、さらにn型に導電化された多結晶シリコンを堆積し、エッチバックすることにより、第二の蓄積電極コンタクト用プラグ419を形成する。次にメモリセル部のみ、窒化シリコン膜418を残す。

【0042】その後、図34に示すように、コンタクト用層間膜420を堆積し、電子線描画およびドライエッチングにより、蓄積電極用の溝を形成する。

【0043】その後、図35に示すように、n型に導電化されたアモルファスシリコンあるいは導電化されていない純アモルファスシリコン421を堆積し、次に、SiO₂層422を堆積後エッチバックし蓄積電極用の溝内に上記SiO₂層422を残し、さらに、アモルファスシリコン421をエッチバックする。

【0044】その後、図36に示すように、メモリセル部のSiO₂層420および422をウエットエッチングすることにより、アモルファスシリコン421からなる蓄積電極が形成される。図35で、蓄積電極に導電化されていない純アモルファスシリコン421を用いた場合は、この後、置換プロセスによりアモルファスシリコン部分をタングステン化する。次に、酸化窒化シリコン膜または五酸化タンタル（Ta₂O₅）膜からなる蓄積電容量誘電体膜423およびTiNまたはタングステンからなる蓄積電容量プレート電極424を積層し、メモリセル領域内でパターンニングすることにより、積層型の蓄積電容量素子が形成される。

【0045】その後、図37に示すように、リソグラフィとドライエッチングにより層間絶縁膜にコンタクト・ホールを形成する。その後、図38に示すように、第一メタル配線層425を堆積しリソグラフィとドライエッチングによりパターンニングする。このとき、プレート電極424と第一配線層425は絶縁膜を介さず直接積層された構造となる。

【0046】その後、図39に示すように、第一および第二メタル配線層間のスルー・ホール用層間絶縁膜426を堆積する。その後、図40に示すように、リソグラフィとドライエッチングにより層間絶縁膜426にスルー

・ホールを形成する。その後、図 4 1 に示すように、第二メタル配線層 4 2 7 を堆積しリソグラフィとドライエッチングによりパターンニングする。

【0047】以上のプロセスにより、実施例 2 で示した図 2 に対応する本発明の構造が形成される。

【0048】（実施例 5）図 4 2 ないし図 4 5 に、本発明の他の製造方法の断面構造を示す。まず、図 4 2 に示すように、p 型 Si 層 4 0 1、SiO₂ 層 4 0 2、厚さ 80 nm の p 型 Si 層 4 0 3 が積層した SOI 基板を製造する。次に、図 4 3 に示すように、SiO₂ 層 5 0 4 を表面に堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングする。その後、図 4 4 に示すように、厚さ 480 nm の Si エピタキシャル層 5 0 5 を SiO₂ 層 5 0 4 をマスクにして選択的に形成する。その後、SiO₂ 層 5 0 4 を除去することによって、図 4 5 に示すような断面構造が形成される。この後は、実施例 4 のプロセス（図 2 4 ないし図 4 1）を実施することにより、実施例 2 で示した図 2 に対応する本発明の構造が形成される。

【0049】

【発明の効果】積層容量型メモリセルと周辺回路の標高差を低減することができるため両領域とも高精度で微細なパターンを形成する露光装置の焦点深度内に納めることできる。

【0050】また、メモリセル領域内のみ薄膜 SOI 構造とすることにより、周辺回路には高耐圧な絶縁ゲート・トランジスタを有し、さらに、低消費電力化に有利なメモリセルを有する半導体記憶装置を容易に作成することが可能となる。

【図面の簡単な説明】

【図 1】本発明の第一の実施例の半導体装置を示す断面図。

【図 2】本発明の第二の実施例の半導体装置を示す断面図。

【図 3】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 4】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 5】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 6】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 7】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 8】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 9】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 10】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 11】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 12】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 13】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 14】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 15】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 16】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 17】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 18】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 19】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 20】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 21】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 22】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 23】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図 24】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 25】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 26】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 27】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 28】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 29】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 30】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 31】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 32】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 33】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 34】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 35】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 3 6】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 3 7】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 3 8】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 3 9】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 4 0】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 4 1】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 4 2】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 4 3】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図 4 4】本発明の第二の実施例の半導体装置の製造工

程を示す断面図。

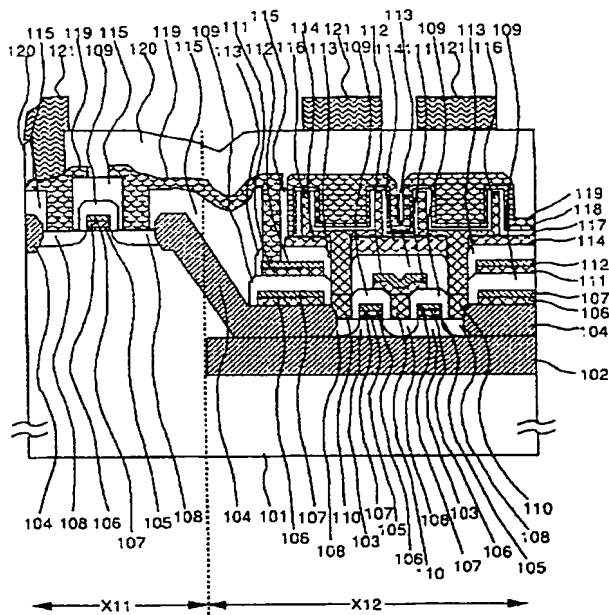
【図 4 5】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【符号の説明】

101…p型Si基板、102…SOI用SiO₂、103…p型Si層、104…素子分離用SiO₂、105…ゲート絶縁膜、106…n型多結晶シリコン、107…タングステンシリサイド、108…高濃度のn型不純物領域、109…ゲート電極およびワード線用絶縁保護膜、110…n型多結晶シリコン、111…n型多結晶シリコン、112…タングステンシリサイド、113…ビット線用絶縁保護膜、114…窒化シリコン膜、115…SiO₂、116…n型多結晶シリコンあるいはタングステン、117…誘電体膜、118…TiNあるいはタングステン、119…第一メタル配線層、120…SiO₂、121…第二メタル配線層。

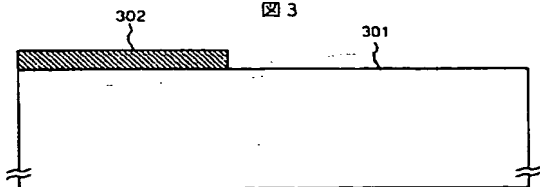
【図 1】

図 1



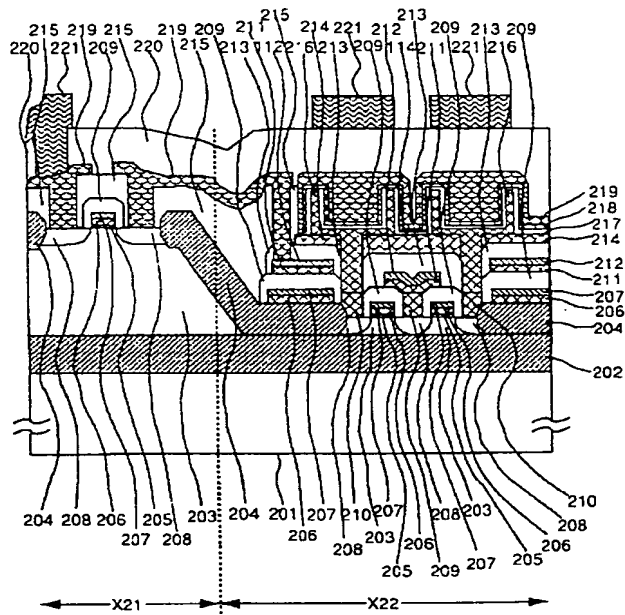
【図 3】

図 3



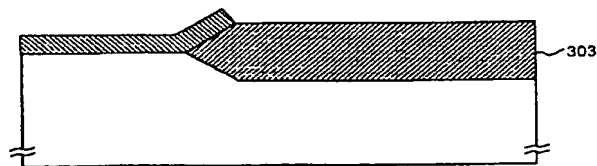
【図 2】

図 2



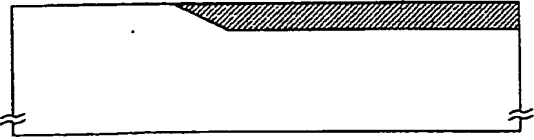
【図 4】

図 4



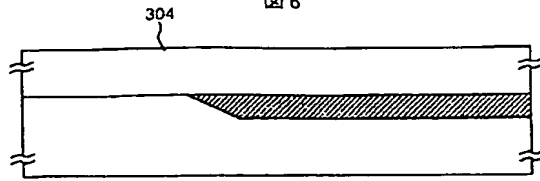
【図 5】

図 5



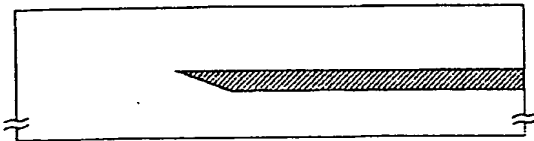
【図 6】

図 6



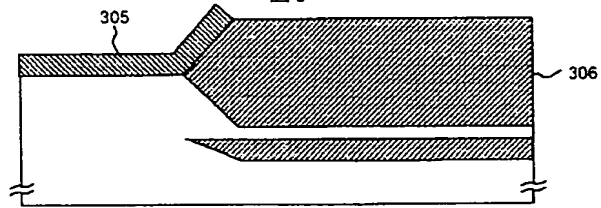
【図 7】

図 7



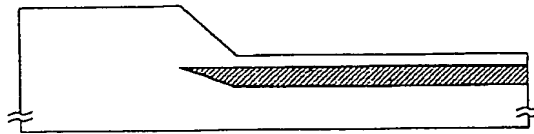
【図 8】

図 8



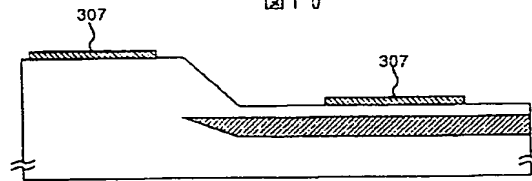
【図 9】

図 9



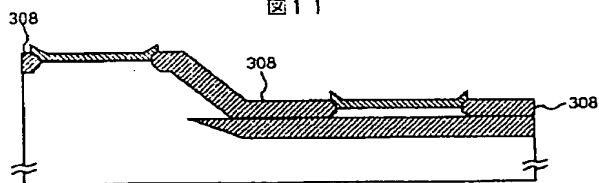
【図 10】

図 10



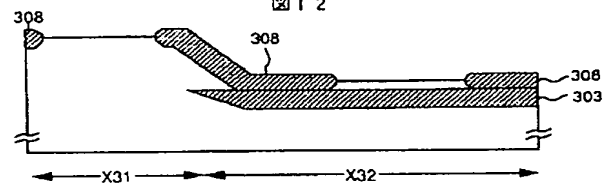
【図 11】

図 11



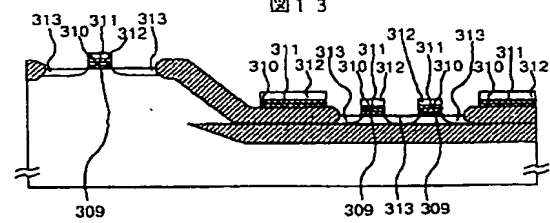
【図 12】

図 12



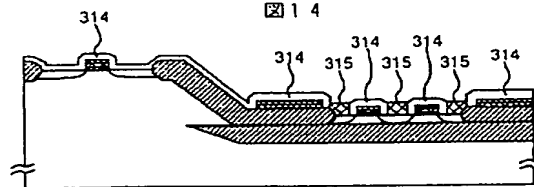
【図 13】

図 13

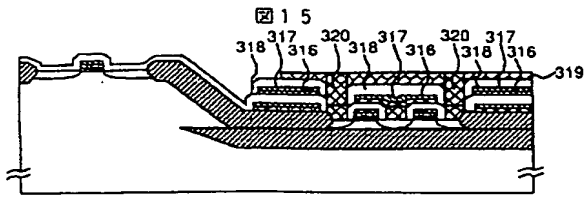


【図 14】

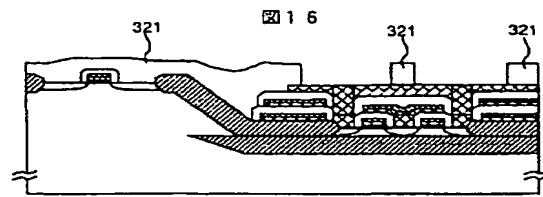
図 14



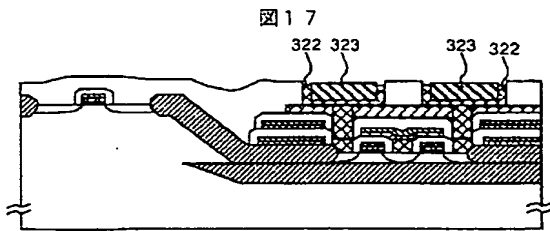
【図15】



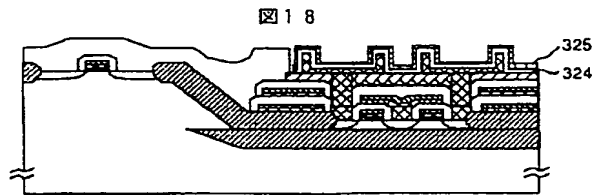
【図16】



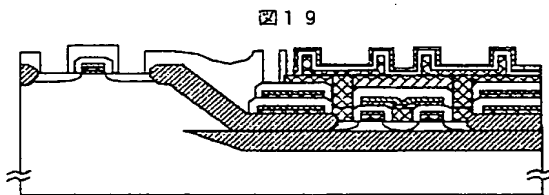
【図17】



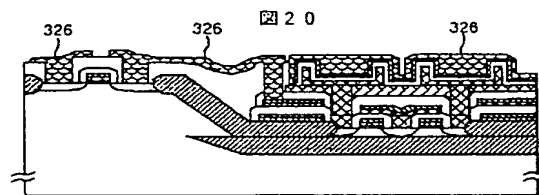
【図18】



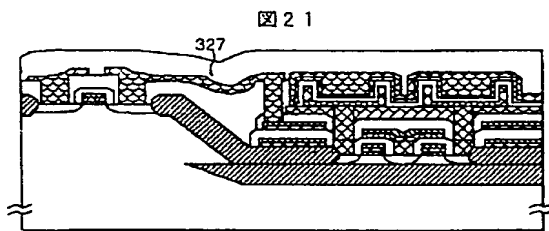
【図19】



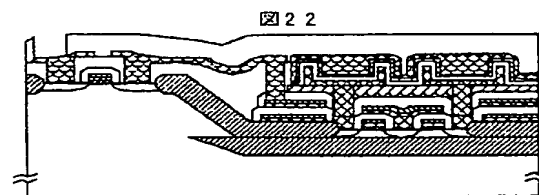
【図20】



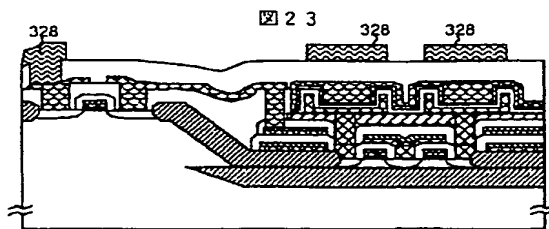
【図21】



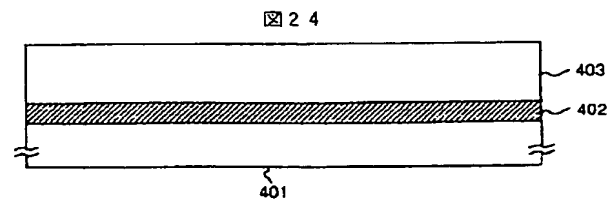
【図22】



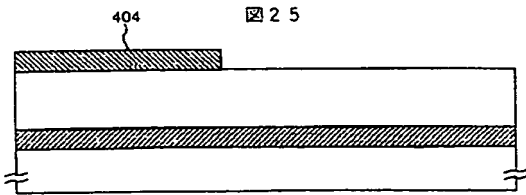
【図23】



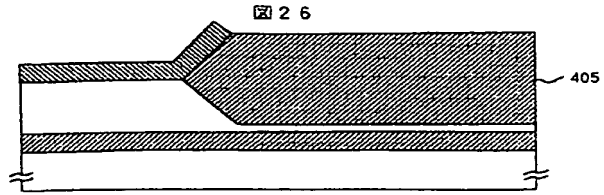
【図24】



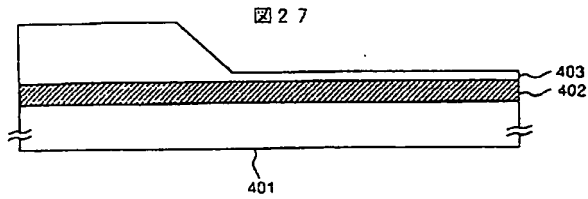
【図 25】



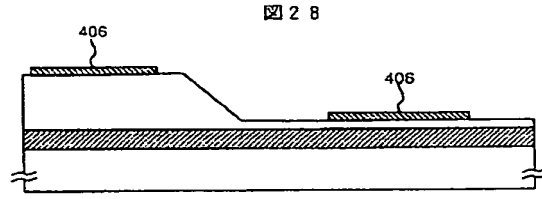
【図 26】



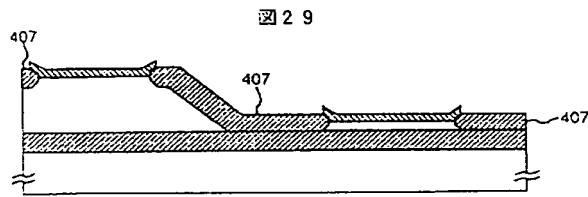
【図 27】



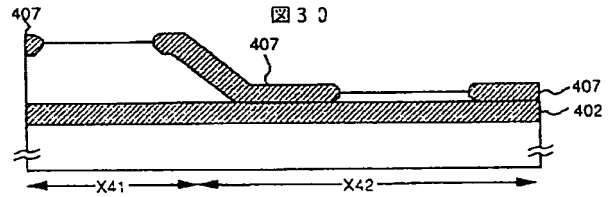
【図 28】



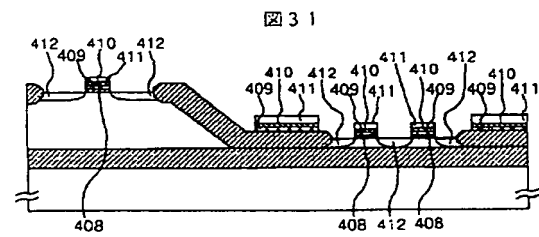
【図 29】



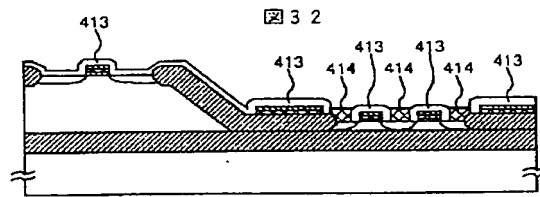
【図 30】



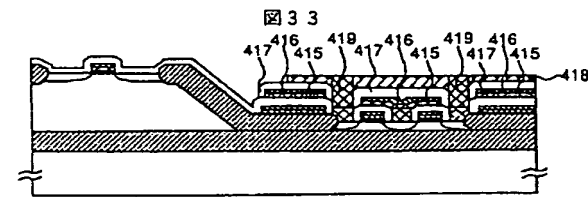
【図 31】



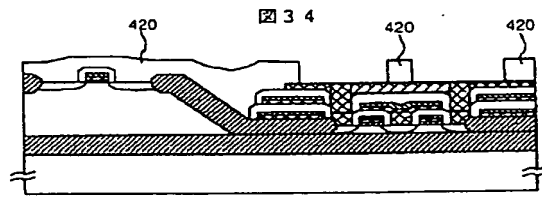
【図 32】



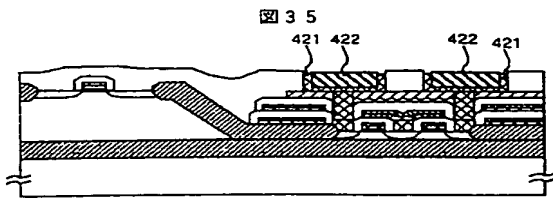
【図 33】



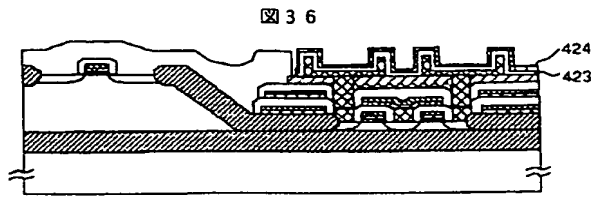
【図 34】



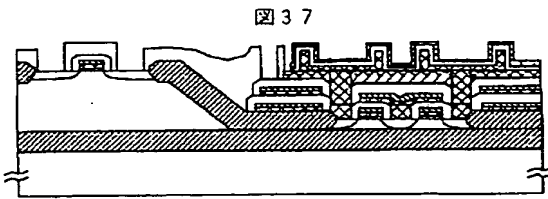
【図 35】



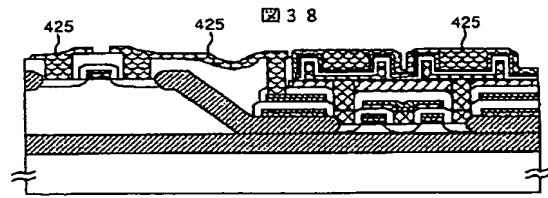
【図 36】



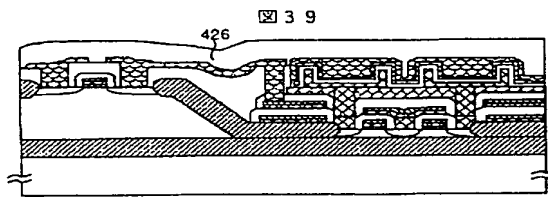
【図 37】



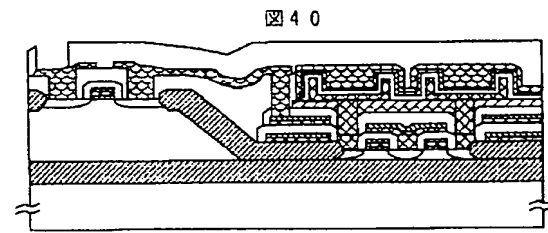
【図 38】



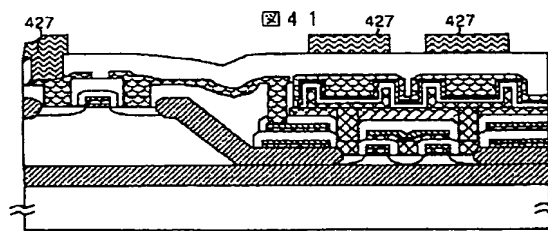
【図 39】



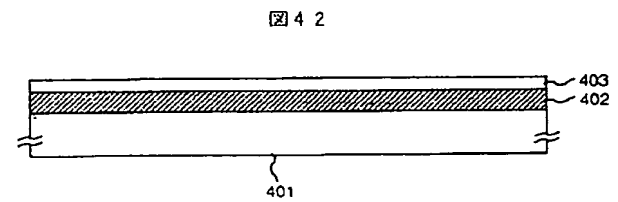
【図 40】



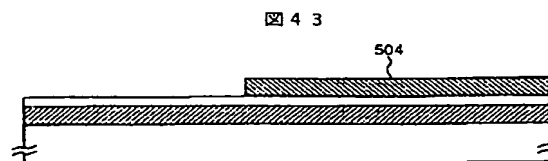
【図 41】



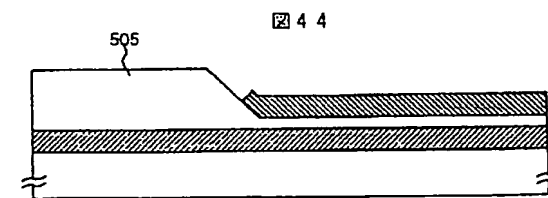
【図 42】



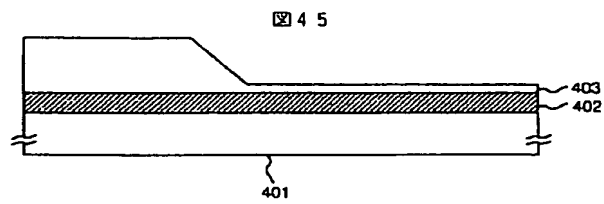
【図 43】



【図 44】



【図 4 5】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 3 B